

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-087249

(43)Date of publication of application : 02.04.1996

(51)Int.Cl. G09G 3/36
G02F 1/133
G09G 1/16
G09G 5/00
H04N 5/66

(21)Application number : 06-244858

(71)Applicant : NEC CORP

(22)Date of filing : 14.09.1994

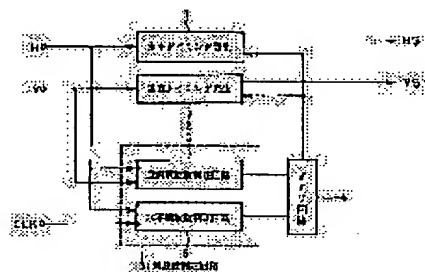
(72)Inventor : SHIKI TATSUYA

(54) DEVICE AND METHOD FOR CONTROLLING DISPLAY OF MULTI-SYNC CORRESPONDENCE LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To provide a display control device and a method always displaying a video signal on a center of a screen without displaying biased to the certain direction on the screen even when the video signal of which the number of dots of a liquid crystal display panel are different from the number of dots of a video display period is inputted.

CONSTITUTION: This device is provided with a frequency decision circuit 5 obtaining the modes of the horizontal/vertical frequencies of the input video signal from horizontal/vertical synchronizing signals, a memory circuit 4 setting to a picture mode suitable for the input video signal from the obtained frequency modes and horizontal/vertical timing generation circuits 1, 2 capable of optionally setting horizontal/vertical display positions. By obtaining the horizontal/ vertical frequencies of the input video signal, the generation of horizontal/ vertical timing signals matching with the frequencies are controlled, and the video signal is displayed on the center of the screen of the used liquid crystal display panel even when the video signal of which the number of dots of the liquid crystal display panel of the liquid crystal display device are different from the number of dots of the video display period is inputted.



LEGAL STATUS

[Date of request for examination] 14.09.1994

[Date of sending the examiner's decision of rejection] 05.08.1997

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2919278

[Date of registration] 23.04.1999

[Number of appeal against examiner's decision of rejection] 09-15037

[Date of requesting appeal against examiner's 04.09.1997
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-87249

(43) 公開日 平成8年(1996)4月2日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/36				
G 0 2 F 1/133	5 0 5			
G 0 9 G 1/16		V		
5/00	5 2 0 W	9377-5H		
H 0 4 N 5/66	1 0 2 B			

審査請求 有 請求項の数 8 F D (全 10 頁)

(21) 出願番号 特願平6-244858

(22) 出願日 平成6年(1994)9月14日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 式 辰也

東京都港区芝五丁目7番1号 日本電気株式会社内

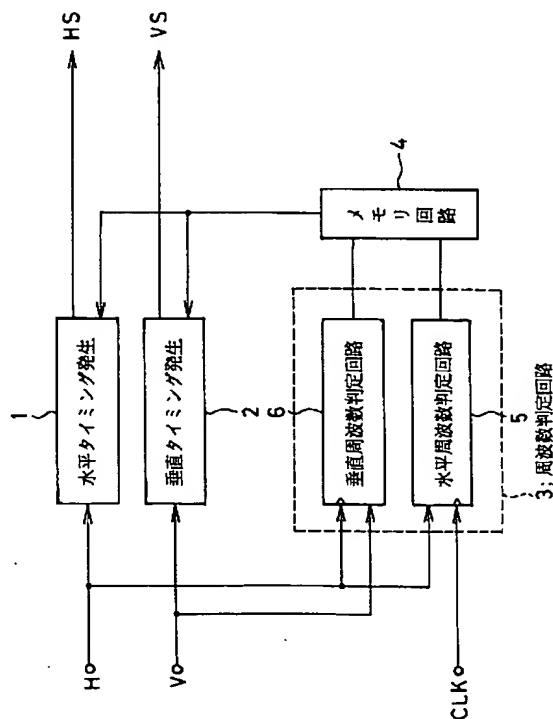
(74) 代理人 弁理士 加藤 朝道

(54) 【発明の名称】 マルチシンク対応液晶ディスプレイ装置の表示制御装置及び表示制御方法

(57) 【要約】

【目的】 液晶表示パネルのドット数と映像表示期間のドット数が異なる映像信号が入力されても、画面のある方向に片寄って表示されることなく、画面の中央に常に映像信号が表示する表示制御装置及び方法の提供。

【構成】 水平・垂直同期信号から入力映像信号の水平・垂直周波数のモードを求める周波数判定回路と、求められた周波数モードよりその入力映像信号に適した画面モードに設定するメモリ回路と、水平・垂直表示位置が任意に設定可能な水平・垂直タイミング発生回路と、を備え、入力映像信号の水平・垂直周波数を求めることにより、その周波数にあった水平・垂直タイミング信号の発生を制御して、液晶表示装置の液晶表示パネルのドット数と映像表示期間のドット数が異なる映像信号が入力されても、常に、使用する液晶表示パネルの画面の中央に表示可能となる。



【特許請求の範囲】

【請求項1】液晶表示パネルを用いた液晶表示装置において、

入力される水平同期信号、垂直同期信号、クロック信号に基づき、映像信号の水平周波数及び垂直周波数のモードを求める周波数判定回路と、

前記周波数判定回路の出力データを入力して入力周波数に合致したデータを出力するメモリ回路と、

前記メモリ回路からのデータをもとに液晶表示パネルへの映像信号の表示位置を制御するタイミングを任意に設定可能とする、水平タイミング発生回路及び垂直タイミング発生回路と、

を備えたことを特徴とするマルチシンク対応液晶ディスプレイ装置の表示制御装置。

【請求項2】前記周波数判定回路が、前記水平同期信号とクロック信号を入力とする水平同期信号周波数判定回路と、

前記垂直同期信号と前記水平同期信号を入力とする垂直同期信号周波数判定回路と、を備え、

前記水平同期信号周波数判定回路が、前記水平同期信号について1水平期間分の前記クロック信号を計数するカウンタを含む画素計数部を有し、

前記垂直同期信号周波数判定回路が、前記垂直同期信号について1垂直期間分の前記水平同期信号を計数するカウンタを含むライン計数部を有する、

ことを特徴とする請求項1記載のマルチシンク対応液晶ディスプレイ装置の表示制御装置。

【請求項3】前記水平同期信号周波数判定回路が前記カウンタの計数値に基づき、水平モードをデコードするデコード回路を備えることを特徴とする請求項2記載のマルチシンク対応液晶ディスプレイ装置の表示制御装置。

【請求項4】前記垂直同期信号周波数判定回路が前記カウンタの計数値に基づき、垂直モードをデコードするデコード回路を備えることを特徴とする請求項2記載のマルチシンク対応液晶ディスプレイ装置の表示制御装置。

【請求項5】前記水平タイミング発生回路において、前記周波数判定回路内のメモリ回路から出力される制御データを補正するための微調回路を備えたことを特徴とする請求項1記載のマルチシンク対応液晶ディスプレイ装置の表示制御装置。

【請求項6】前記垂直タイミング発生回路において、前記周波数判定回路内のメモリ回路から出力される制御データを補正するための微調回路を備えたことを特徴とする請求項1記載のマルチシンク対応液晶ディスプレイ装置の表示制御装置。

【請求項7】前記微調回路が、外部から入力される微調整信号と、前記メモリ回路の出力とを加減算した結果を出力する回路から成ることを特徴とする請求項5又は6記載のマルチシンク対応液晶ディスプレイ装置の表示制御装置。

【請求項8】液晶表示パネルを用いた液晶ディスプレイ装置の表示制御方法において、

入力される水平同期信号、垂直同期信号、クロック信号に基づき、周波数判定部にて、映像信号の水平周波数及び垂直周波数のそれぞれの周波数モードを求め、

前記周波数モードに基づきルックアップテーブルを参照して入力周波数に合致したデータを求め、

該データをもとに、液晶表示パネルへの映像信号の表示位置を決定する水平タイミング及び垂直タイミングの発生を可変に制御するようにしたことを特徴とするマルチシンク対応液晶ディスプレイ装置の表示制御方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、液晶表示装置に関し、特にマルチシンク型表示装置のように複数の信号規格の映像信号を表示できる装置及び制御方法に関する。

【0002】

【従来の技術】近年、液晶表示装置は、CRTディスプレイの代替えとして薄型、低電圧、低消費電力などの特徴を生かし、パーソナルコンピュータ、ワードプロセッサ、カラーテレビなどに実用化されている。

【0003】マルチシンク型表示装置とは、マルチシンク（マルチシンクとは複数の信号に同期可能な自動周波数追従を表わす）機能により複数の解像度表示に対応するよう構成されたディスプレイを表わし、一台のディスプレイで、例えば640×400、640×480、1024×768、1120×750ドット等の複数の解像度表示に対応可能とされるものである。なお、「MULTISYNC」はNECホームエレクトロニクス株式会社の商標である（米国ではNEC HOME ELECTRONICS (U.S.A) INC.の登録商標、米国商標登録番号第1,443,951号）。

【0004】従来、1台の液晶ディスプレイ装置で複数の信号規格の入力信号に対応する場合には、入力信号により垂直・水平の表示位置が異なる恐れがあるため、表示位置の補正として、例えば、特開平3-280084号公報には、図7に示すような液晶表示装置用制御回路が提案されている。

【0005】図7を参照して、前記特開平3-280084号公報に開示された従来の液晶表示装置用制御回路（「従来例1」という）は、垂直同期信号判別回路71、水平同期信号判別回路72、画面モード記憶回路73、水平垂直同期信号論理変換回路74及び液晶制御回路75からなる。垂直同期信号判別回路71は、分周回路76とラッチ回路77とからなり、水平同期信号判別回路72は、分周回路78とラッチ回路79とからなる。

【0006】以下に、図7に示す従来の液晶表示装置用制御回路の回路動作を説明する。

【0007】入力される垂直同期信号VS及び水平同期

信号HSは、垂直同期信号判別回路71及び水平同期信号判別回路72に入力され、各々の同期信号の極性が正負いずれであるかが判定される。例えば、同期信号判別回路の出力がHighレベルであれば正極性、Lowレベルであれば負極性と判断される。

【0008】次に、垂直同期信号判別回路71及び水平同期信号判別回路72の出力信号は、後段の画面モード記憶回路73に転送され、水平垂直同期信号論理変換回路74及び液晶制御回路5に供給される。水平垂直同期信号論理変換回路74では、出力される垂直同期信号VSと水平同期信号HSは、画面モードによらずに常に一定の論理状態へ変換される。

【0009】一方、液晶制御回路75は、画面モード記憶回路73からのデータに従い、各々の画面モードにあった垂直画面位置や水平画面位置の処理を行う。例えば、図8に示すように、水平同期信号の極性が負、垂直同期信号の極性が負と判断されれば、現在入力されている信号がAモードと判断され、使用している液晶表示パネルの画面の中央部分に自動的に表示されるようになる。

【0010】このようにして、水平及び垂直同期信号の極性判定信号より、使用している液晶表示パネル内の画面のある方向に片寄って表示されることなく、自動的に画面の中央部分に常に表示できるように制御可能となる。

【0011】しかし、この従来の方法では、上記の如く、水平同期信号HS及び垂直同期信号VSの2本の信号で制御している関係上、4モードの信号にしか対応することができない。

【0012】上記従来例1の回路構成の一部を変更して表示位置の補正を行なうものとして、例えば特開平3-280085号公報には、図9に示すような液晶表示用制御回路が提案されている。

【0013】図9を参照して、前記特開平3-280085号公報に開示された液晶表示用制御回路（「従来例2」という）は、垂直同期信号判別回路81、水平同期信号と垂直同期信号の関係判別回路82、画面モード回路83、水平垂直同期信号論理変換回路84、液晶制御回路85からなる。垂直同期信号判別回路81はカウンタ回路86とラッチ回路87とからなり、関係判別回路82は、遅延回路88とゲート回路89とカウンタ回路90とからなる。

【0014】以下にこの従来例2の回路動作について説明する。

【0015】入力される垂直同期信号VS及び水平同期信号HSは、垂直同期信号判別回路81及び水平同期信号と垂直同期信号の関係判別回路82に入力される。

【0016】垂直同期信号判別回路81は、入力される垂直同期信号VSの極性を判定する回路である。この垂直同期信号判別回路81の動作は、前記従来例1と同様

であるため、その説明を省略する。

【0017】次に、水平同期信号と垂直同期信号の関係判別回路82について説明する。

【0018】水平垂直同期信号論理変換回路84は、垂直同期信号判別回路81の出力信号より垂直同期信号VSの論理状態を必要に応じて反転し、常に正論理の垂直同期信号VSを遅延回路88へ出力する。遅延回路88は、垂直同期信号VSを遅延させて垂直同期信号DVSをゲート回路89へ出力する。

【0019】ゲート回路89は、遅延された垂直同期信号DVSと水平同期信号HSの論理積を行い論理積信号DVHをカウンタ回路90へ出力する。カウンタ回路90は、垂直同期信号VSに同期して論理積信号DVHをカウントし、結果を画面モード回路83へ出力する。

【0020】画面モード回路83は、論理積信号DVHのカウント数を画面モードに分類する。例えば、図10に示すように、例えば論理積信号DVHのカウント数が3カウントならばAモード、2カウントならばBモードと判別する。

【0021】そして、画面モードが判断されると水平同期信号HSが正論理か負論理か決定できるため、水平垂直同期信号論理変換回路84に指示し、水平同期信号HSは、例えば正論理の水平同期信号HSに変換される。

【0022】液晶制御回路85は、前記従来例1と同様に、画面モード回路83からのデータに従い、各々の画面モードにあった垂直画面位置や水平画面位置の処理を行う。但し、従来例2の画面モードの判別は図10に従って行なわれており、この点が前記従来例1と相違している。

【0023】以上のように、従来例2では、水平同期信号と垂直同期信号から自動的に画面モードを検出し、検出した画面モードにより画面の水平位置や垂直位置の設定が自動的にできるように構成されている。すなわち、画面のある方向に片寄って表示されることなく、画面の中央部に自動的に表示することが可能となる。

【0024】しかし、前記従来例1同様に、従来例2の方法でも水平及び垂直同期信号の2本の信号で制御している関係上、4モードの信号にしか対応することができない。

【0025】

【発明が解決しようとする課題】以上説明したように、従来、1台の液晶ディスプレイ装置で複数の入力信号に対応する場合は、前記した通り、4モードの信号には対応することができるが、これ以上のモードに対応することはできなかった。

【0026】そこで、本発明の目的は、このような問題点を解決し、1台の液晶ディスプレイ装置で複数の信号規格（例えば5種類以上）の入力映像信号を表示した場合でも、使用する液晶表示パネル内の画面の中央部分に常に表示可能とする、マルチシンク対応液晶ディスプレ

イ装置の表示制御装置及び表示制御方法を提供することにある。

【0027】

【課題を解決するための手段】前記目的を達成するため、本発明は、液晶表示パネルを用いた液晶表示装置において、入力される水平同期信号、垂直同期信号、クロック信号に基づき、映像信号の水平周波数及び垂直周波数のモードを求める周波数判定回路と、前記周波数判定回路の出力データを入力して入力周波数に合致したデータを出力するメモリ回路と前記メモリ回路からのデータをもとに液晶表示パネルへの映像信号の表示位置を制御するタイミングを任意に設定可能とする水平タイミング発生回路及び垂直タイミング発生回路と、を備えたことを特徴とするマルチシンク対応液晶ディスプレイ装置の表示制御装置を提供する。

【0028】本発明においては、前記周波数判定回路が、前記水平同期信号とクロック信号を入力とする水平同期信号周波数判定回路と、前記垂直同期信号と前記水平同期信号を入力とする垂直同期信号周波数判定回路と、を備え、前記水平同期信号周波数判定回路が、前記水平同期信号について1水平期間分の前記クロック信号を計数するカウンタを含む画素計数部を有し、前記垂直同期信号周波数判定回路が、前記垂直同期信号について1垂直期間分の前記水平同期信号を計数するカウンタを含むライン計数部を有することを特徴する。

【0029】本発明においては、好ましくは、前記水平同期信号周波数判定回路が前記カウンタの計数値に基づき、水平モードをデコードするデコード回路を備えるように構成してもよい。

【0030】また、本発明においては、好ましくは、前記垂直同期信号周波数判定回路が前記カウンタの計数値に基づき、垂直モードをデコードするデコード回路を備えるように構成してもよい。

【0031】さらに、本発明においては、前記水平タイミング発生回路において、前記周波数判定回路内のメモリ回路から出力される制御データを補正するための微調回路を備えたことを特徴とする。

【0032】さらにまた、本発明においては、前記垂直タイミング発生回路において、前記周波数判定回路内のメモリ回路から出力される制御データを補正するための微調回路を備えたことを特徴とする。

【0033】そして、本発明においては、好ましくは、前記微調回路が、外部から入力される微調整信号と、前記メモリ回路の出力とを加減算した結果を出力する回路から構成される。

【0034】また、本発明は、液晶表示パネルを用いた液晶ディスプレイ装置の表示制御方法において、入力される水平同期信号、垂直同期信号、クロック信号に基づき、周波数判定部にて、映像信号の水平周波数及び垂直周波数のそれぞれの周波数モードを求め、前記周波数モ

ードに基づきルックアップテーブルを参照して入力周波数に合致したデータを求め、該データをもとに、液晶表示パネルへの映像信号の表示位置を決定する水平タイミング及び垂直タイミングの発生を可変に制御するようにしたことを特徴とするマルチシンク対応液晶ディスプレイ装置の表示制御方法を提供する。

【0035】

【作用】本発明によれば、1台の液晶ディスプレイ装置で複数の信号、例えば、VGA (Video Graphics Array; 水平640×垂直480画素) 信号、XGA (eXtended Graphics Array; 水平1024×垂直768) 信号、その他PC98信号、MACII信号等の各種信号を入力した場合でも、入力される信号の水平及び垂直同期信号の周波数モードを求めることにより、そのときの周波数モードに応じた映像表示開始位置の制御が適時設定可能なため、液晶表示装置の液晶表示パネルのドット数と映像表示期間のドット数が異なる映像信号が入力されても、常に、液晶表示パネルの画面中央に表示可能とされる。

【0036】また、本発明によれば、メモリ回路と水平及び垂直タイミング発生回路の間に微調整回路を設けることにより、出力位相の微調整を行なうことが可能とされる。

【0037】本発明に係る表示制御装置は、従来の液晶表示装置の回路構成にそのまま追加することができる構成とされ、マルチシンク対応液晶ディスプレイ装置の低コスト化を達成するものである。

【0038】

【実施例】以下、図面を参照して、実施例に即して本発明を詳細に説明する。

【0039】

【実施例1】図1は本発明の一実施例に係るマルチシンク対応液晶ディスプレイ装置の表示制御装置の構成を示す図である。

【0040】図1を参照して、本実施例は、水平タイミング発生回路1、垂直タイミング発生回路2、周波数判定回路3及びメモリ回路4から構成されている。周波数判定回路3は、水平周波数判定回路5と垂直周波数判定回路6とから構成されている。H、V、CLKは、それぞれ水平同期信号入力端子、垂直同期信号入力端子及びクロック信号入力端子である。

【0041】また図2及び図3に、周波数判定回路3の水平周波数判定回路6と垂直周波数判定回路5との詳細な図をそれぞれ示す。

【0042】図2を参照して、水平周波数判定回路5は、Dフリップフロップ51、52、OR回路53、カウンタ54、Dフリップフロップ55及びデコード回路56から構成されている。Dフリップフロップ55はカウンタ54のカウント値を示すパラレル出力(図2ではnビットで示す)を入力し、これをラッチする。

【0043】図3を参照して、垂直周波数判定回路6は、Dフリップフロップ61、62、OR回路63、カウンタ64、Dフリップフロップ65及びデコード回路66から構成されている。Dフリップフロップ65はカウンタ64のカウンタ値を示すパラレル出力（図3ではmビットで示す）を入力し、これをラッチする。

【0044】次に、本実施例の動作について説明する。

【0045】入力される水平同期信号H及び垂直同期信号Vは、図1に示すように、水平タイミング発生回路1及び垂直タイミング発生回路2に供給されると同時に、周波数判定回路3へ供給される。

【0046】また、周波数判定回路3へはクロック信号CLKも供給される。周波数判定回路3では、上記入力される水平同期信号H、垂直同期信号V及びクロック信号CLKから、以下に述べる方法にて、入力される信号の判定を行う。

【0047】まず、図2を参照して、水平周波数判定回路5について説明する。

【0048】入力されるクロック信号CLKを図2に示すように、カウンタ54のクロック入力端子CKに供給し、1H（一水平期間）の間カウントアップするように制御する。そして、1H目のカウンタ値を記憶するように後段のDフリップフロップ55を制御する。

【0049】すなわち、図2において、水平同期信号Hは、Dフリップフロップ51に入力され、Dフリップフロップ51の出力（Q）はDフリップフロップ52に入力されると共にOR回路53の一方の入力端子に入力され、OR回路53の他方の入力端子にはDフリップフロップ52の反転出力（ \bar{Q} ）が入力され、OR回路53の出力がカウンタ54のLoad（ロード）端子に入力される。また、OR回路53の出力はラッチタイミング信号（Lowアクティブ）としてDフリップフロップ55の制御端子に入力される。カウンタ54はそのLoad端子がアクティブになると、内部のカウント値をリセット（ゼロクリア）し、端子CKに入力されるクロック信号CLKをカウントアップする。そして、カウンタ54は、OR回路53の出力がアクティブ（図2ではHighレベル）の期間中（すなわち1水平期間；1H）中のクロック信号CLKをカウントアップしたのち、OR回路53の出力がHighレベルからLowレベルに変化した時点でカウントアップ動作を停止し、カウンタ54のカウント値がDフリップフロップ55に取り込まれる。

【0050】Dフリップフロップ回路55は最初に記憶された1H目のカウンタ値を常に出力するように制御され、後段のデコード回路56に出力される。

【0051】デコード回路56では、カウンタ値がいくつかの予め登録されたモード値と比較され、合致したところだけビットが立つように処理される。デコード回路56の出力は、図1に示すメモリ回路4に出力される。

【0052】次に、図3を参照して、垂直周波数判定回路6について説明する。入力される水平同期信号Hをカウンタ64のクロック入力端子に供給し、1垂直期間の間カウントアップするように制御する。そして、1垂直期間目のカウンタ値を記憶するように、後段のDフリップフロップ65を制御する。

【0053】すなわち、図3において、垂直同期信号Vは、Dフリップフロップ61に入力され、Dフリップフロップ61の出力（Q）はDフリップフロップ62に入力されると共にOR回路63の一方の入力端子に入力され、OR回路63の他方の入力端子にはDフリップフロップ62の反転出力（ \bar{Q} ）が入力され、OR回路63の出力がカウンタ64のLoad（ロード）端子に入力される。また、OR回路63の出力はラッチタイミング信号（Lowアクティブ）としてDフリップフロップ65の制御端子に入力される。カウンタ64はそのLoad端子がアクティブになると、内部のカウント値をリセット（ゼロクリア）し、端子CKに入力される水平同期信号Hをカウントアップする。そして、カウンタ64は、OR回路63の出力がアクティブ（図3ではHighレベル）の期間中（すなわち1垂直期間）中の水平同期信号Hをカウントアップしたのち、OR回路63の出力がHighレベルからLowレベルに変化した時点でカウントアップ動作を停止し、カウンタ64のカウント値がDフリップフロップ65に取り込まれる。

【0054】Dフリップフロップ65は水平周波数判定回路5と同様に、最初に記憶されたカウンタ値を常に出力するように制御され、後段のデコード回路66に出力される。

【0055】デコード回路66では、カウンタ値がいくつかの予め登録されたモード値と比較され、合致したところだけビットが立つように処理される。デコード回路66の出力は、水平周波数判定回路5と同様に図1に示すメモリ回路4に出力される。

【0056】メモリ回路4では、前段の図2及び図3のデコード回路56、66より出力される制御信号が、メモリ回路4内のアドレス入力端子に供給され、図6に示すように、予め各アドレスに記憶させられているデータを読み出し、該データが水平タイミング発生回路1及び垂直のタイミング発生回路2へ供給される。

【0057】図6を参照して、例えば、垂直周波数判定回路6のデコード回路66の出力が“01_H”（上位ビット側；16進表示）であり、水平周波数判定回路5のデコード回路56の出力が“02_H”（下位ビット側；16進表示）である場合、メモリ回路4内のアドレスに“0102_H”（16進表示）が供給され、後段の水平タイミング発生回路1及び垂直タイミング発生回路2へはデータとして、例えば“7C21_H”（16進表示）が出力される。

【0058】なお、図6では、メモリ回路4のアドレス

データとして16ビット、出力データとして16ビットの構成を示しているが、これは単に説明のためである。また、メモリ回路4の出力データ(16ビット)について、水平タイミング発生回路1及び垂直タイミング発生回路2へはそれぞれ所定のビット幅のデータが割り当てられて供給される。そして、メモリ回路4の出力データの数値の単位は、実質的に、水平方向はdot(画素)、垂直方向はライン(走査線)である。メモリ回路4は、例えばROM(リードオンリメモリ)から構成される。

【0059】次に、水平タイミング発生回路1及び垂直タイミング発生回路2では、メモリ回路4からの出力データより、図4に示すような動作を行っている。図4

(A)は、入力された水平同期信号Hと映像信号、及び本実施例により出力される同期信号HSとの位相関係を示し、図4(B)は入力された垂直同期信号Vと映像信号、及び本実施例により出力される同期信号VSとの位相関係を示している。

【0060】図4(A)及び図4(B)に示すように、入力される水平同期信号H及び垂直同期信号Vに対して、メモリ回路4から出力されたデータの値に対応する時間分だけ遅延された信号HS、信号VSを入力モードに適した形で出力している。すなわち、出力されるHS信号と入力された水平同期信号Hとの位相差により表示位置(水平位置)の調整が行なわれ、出力されるVS信号と入力された垂直同期信号Vとの位相差により表示位置(垂直位置)の調整が行なわれる。なお、水平タイミング発生回路1及び垂直タイミング発生回路2では、メモリ回路4から出力されたデータの値に基づき、例えば不図示のダウンカウンタにより該データに対応する時間分だけ水平同期信号H、垂直同期信号Vに遅延させるように構成してもよい。

【0061】水平タイミング発生回路1、垂直タイミング発生回路2からそれぞれ出力される信号HS、VSを可変にコントロールすることにより、使用している液晶表示パネルの画面のある方向に片寄って表示されることなく、自動的に、常に、画面の中央に表示することができる。

【0062】なお、本実施例の別の態様として、水平周波数判定回路5、垂直周波数判定回路6において、デコード回路56、66は、前段のDフリップフロップ回路55、65からの出力信号をそのまま、後段のメモリ回路4のアドレス入力とすることにより、省略することができる。この場合、カウンタ54、64のカウント値のラッチ出力がそのままメモリ4のアドレス入力端子に入力される。

【0063】

【実施例2】次に、本発明の第2の実施例を説明する。

【0064】前記第1の実施例において、水平及び垂直方向の表示位置を少し変更したい場合、すなわち、水平

タイミング発生回路1及び垂直タイミング発生回路2の出力信号の位相を変更したい場合は、上記第1の実施例に、以下に示す回路を付加することで制御可能となる。

【0065】本実施例では、図1のメモリ回路4の後段において水平タイミング発生回路1及び垂直タイミング発生回路2との間に、図5に示す加減算回路41をそれぞれ追加する。加減算回路41は、メモリ回路4からの出力と外部調整入力からの値を加減算し、後段の水平タイミング発生回路1及び垂直タイミング発生回路2へ出力する。

【0066】ここで、外部調整入力とは、前記第1の実施例で正常な位置で表示できなかった場合に、微調を行うためのデータの入力端子である。微調の必要がない場合は、データは「0」とする。

【0067】本実施例においては、加減算回路41により、前記メモリ回路4から出力されるデータに対し、例えば-3あるいは+2と微細に制御可能となる。なお、この数値の単位は、水平方向はdot(画素)、垂直方向はライン(走査線)である。

【0068】これにより、図3に示す、水平及び垂直タイミング発生回路の出力信号HS、VSの位相を映像信号に対し、前後に微調可能となる。この調整機能をもつことにより、表示位置の調整が場合によっては必要となるシステム構成、例えば映像信号がアナログ信号であるシステムにとっては好適となる。

【0069】以上、本発明を上記実施例に即して説明したが、本発明は、上記態様に限定されるものではなく、本発明の原理に準ずる各種態様を含む。特に、上記実施例において参照した回路構成及び各種数値は、あくまで本発明を説明するためのものであり、本発明はこれらの回路構成に限定されるものではない。

【0070】

【発明の効果】以上説明したように本発明によれば、1台の液晶ディスプレイ装置で複数規格の信号、例えば、VGA(Video Graphics Array; 水平640×垂直480画素)信号、XGA(eXtended Graphics Array; 水平1024×垂直768)信号、PC98信号、MACII信号等を入力した場合でも、入力される信号の水平及び垂直同期信号の周波数モードを求めることにより、そのときの周波数モードに応じた映像表示開始位置の制御を適時設定可能なため、使用している液晶パネルの例えば上方向に片寄って表示されることなく、常に液晶表示パネルの画面の中央部分に表示することが可能となる。

【0071】そして、本発明においては、入力される水平同期信号、垂直同期信号、クロック信号より水平周波数及び垂直周波数モードを求める周波数判定回路は、カウンタとその制御回路、又はデコーダという簡易な回路から構成され、これに、メモリ回路を付加することにより、本発明は構成されるため、本発明は、回路規模の増大を抑止し、低コスト化を達成している。

【0072】また、本発明によれば、メモリ回路と水平及び垂直タイミング発生回路の間に微調整回路を設けることにより、出力位相の微調整が可能な表示制御を実現しており、本発明は、特に映像信号がアナログ信号であるシステムにとって有効である。

【0073】さらに、本発明の表示制御装置は、従来の液晶表示装置の回路構成にそのまま追加することができる構成とされ、マルチシンク対応液晶ディスプレイ装置の低コスト化を達成するものである。

【図面の簡単な説明】

【図1】本発明の一実施例の全体の回路構成を示すブロック図である。

【図2】本発明の一実施例における水平周波数判定回路5の詳細を示すブロック図である。

【図3】本発明の一実施例における垂直周波数判定回路6の詳細を示すブロック図である。

【図4】(A) 水平タイミング発生回路1の出力信号HSと入力映像信号との位相関係を示すタイミングチャート図である。

(B) 垂直タイミング発生回路2の出力信号VSと入力映像信号との位相関係を示すタイミングチャート図である。

【図5】本発明の第2の実施例における調整機能用の付加回路を示すブロック図である。

【図6】本発明の一実施例におけるメモリ回路の内容、

すなわちアドレスと出力データの一例を示す図である。

【図7】従来の液晶表示装置用制御回路（従来例1）の構成を示すブロック図である。

【図8】従来例1における画面モードの判別の仕方の一例を説明する図である。

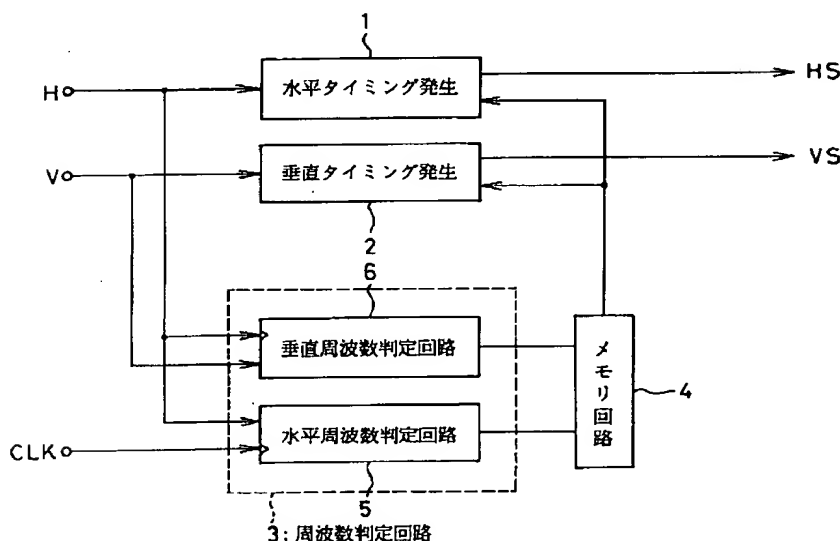
【図9】従来の別の液晶表示装置用制御回路（従来例2）の構成を示すブロック図である。

【図10】従来例2における画面モードの判別の仕方の一例を説明する図である。

【符号の説明】

1…水平タイミング発生回路
2…垂直タイミング発生回路
3…周波数判定回路
4…メモリ回路
5…水平周波数判定回路
6…垂直周波数判定回路
51、52、61、62…Dフリップフロップ
53、63…OR回路
54、64…カウンタ
55…Dフリップフロップ（nビット）
56、66…デコーダ
65…Dフリップフロップ（mビット）
H…水平同期信号
V…垂直同期信号
CLK…クロック信号

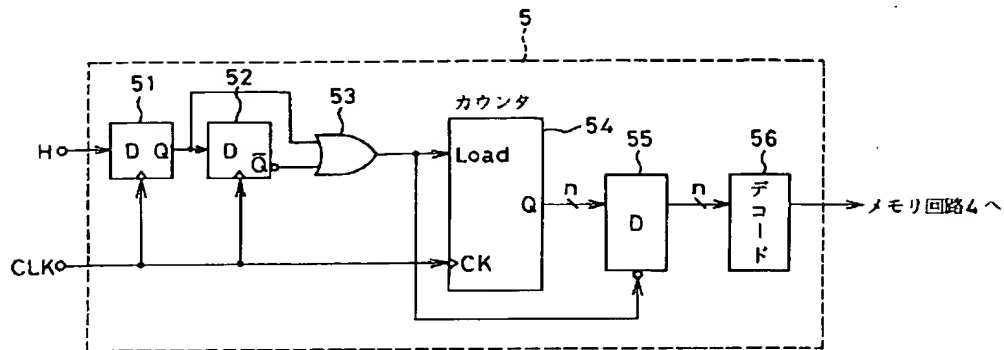
【図1】



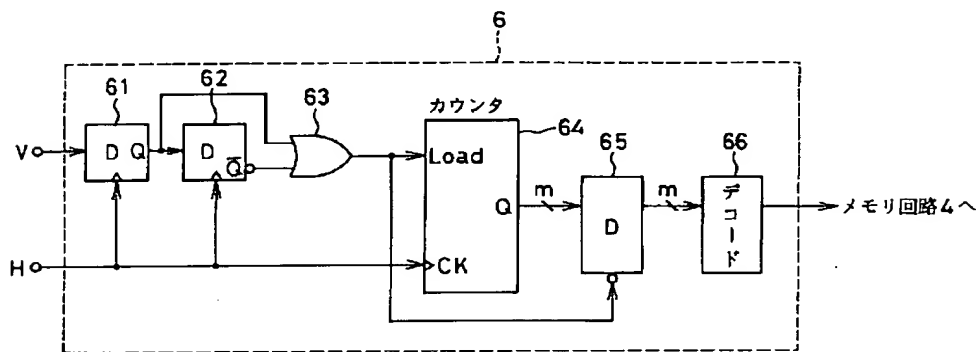
【図10】

水平同期信号と 垂直同期信号の 関係判定結果	画面モード
3 カウント	A モード
2 カウント	B モード
1 カウント	C モード
0 カウント	D モード

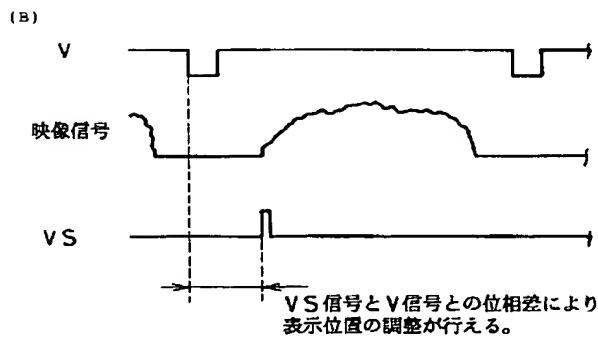
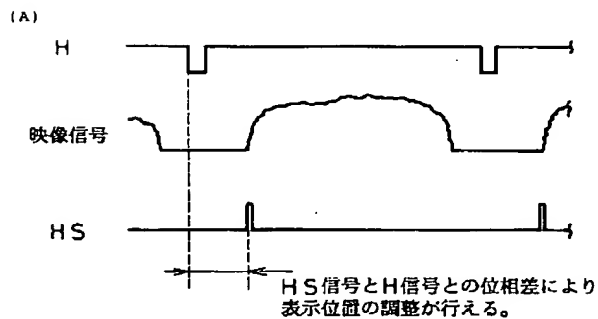
【図2】



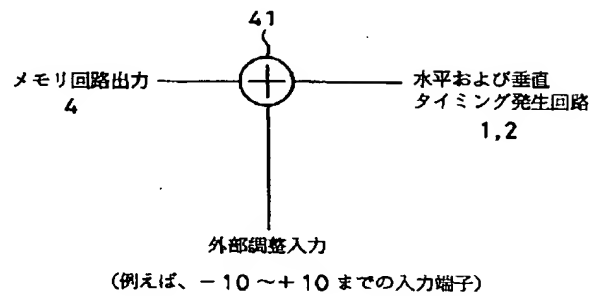
【図3】



【図4】



【図5】



【図6】

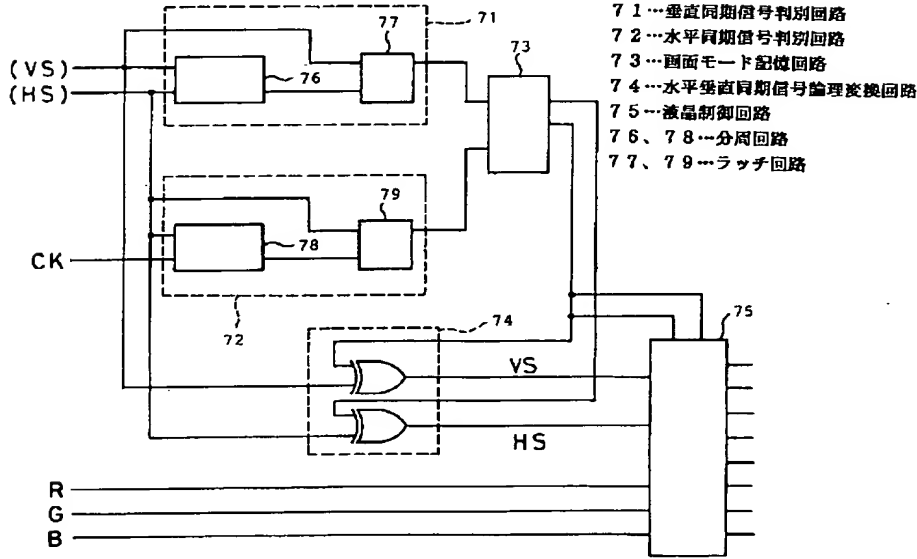
アドレスデータ		データ
上位ビット*	下位ビット*	
(垂直周波数判定回路結果)	(水平周波数判定回路結果)	
01 _H	03 _H	7C21 _H
01 _H	03 _H	7C22 _H
.	.	.
.	.	.
.	.	.
.	.	.
.	.	.
.	.	.

【図8】

垂直同期信号極性	水平同期信号極性	画面モード
負極性	負極性	Aモード
負極性	正極性	Bモード
正極性	負極性	Cモード
正極性	正極性	Dモード

表中のデータは、すべてHEXデータである。
また、図中*は複数Bit構成である（例えば、8Bit構成）。

【図7】



【図9】

